

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-097946

(43)Date of publication of application : 09.04.1999

(51)Int.Cl.

H03F 3/189

H03F 3/60

(21)Application number : 09-252418

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 17.09.1997

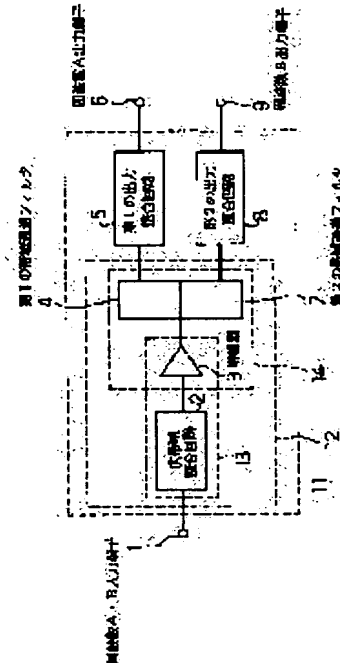
(72)Inventor : IWAI HIROSHI  
ISHIDA KAORU  
KOSUGI HIROAKI  
KONDO KANJI  
MORINAGA YOICHI

## (54) MULTI-FREQUENCY-BAND HIGH-EFFICIENCY LINEAR POWER AMPLIFIER

## (57)Abstract:

PROBLEM TO BE SOLVED: To actualize a multi-frequency-band high-efficiency linear power amplifier which is reducible in circuit space by decreasing the number of the component elements and simplifying the circuit constitution.

SOLUTION: The input signal from an input terminal 1 which is common to frequency bands A and B is matched with the frequency bands A and B by a wide-band matching circuit 2 and amplified by an amplifier 3; and the signal of the frequency band A is passed through by a 1st band-pass filter 4 for the frequency band A in a frequency band selecting means, matched in impedance by a 1st output matching circuit 5 for the frequency band A, and outputted to an output terminal 6 for the frequency band A, and the signal of the frequency band B, on the other hand, is passed through a 2nd band-pass filter 7 for the frequency band in the frequency band selecting means, matched in impedance by a 2nd output matching circuit 8 for the frequency band B, and outputted to an output terminal 9 for the frequency band B.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-97946

(43)公開日 平成11年(1999) 4 月 9 日

(51)Int.Cl.<sup>6</sup>

H 0 3 F 3/189  
3/60

識別記号

F I

H 0 3 F 3/189  
3/60

審査請求 未請求 請求項の数21 O L (全 11 頁)

(21)出願番号

特願平9-252418

(22)出願日

平成9年(1997) 9 月17日

(71)出願人 000005821

松下電器産業株式会社  
大阪府門真市大字門真1006番地

(72)発明者 岩井 浩

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 石田 薫

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 小杉 裕昭

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 弁理士 松田 正道

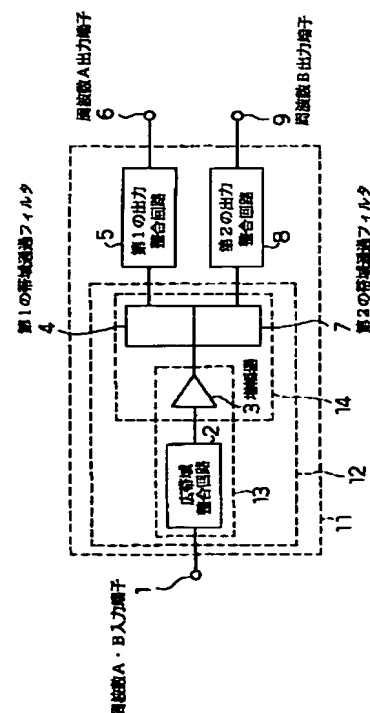
最終頁に続く

(54)【発明の名称】 複数周波数帯域高効率線形電力増幅器

(57)【要約】

【課題】 部品素子数を低減して回路構成を簡素にし、回路スペースを小さくできる複数周波数帯域高効率線形電力増幅器を実現する。

【構成】 周波数帯域AおよびBに共通の入力端子1からの入力信号は広帯域整合回路2で周波数帯域A、Bとも整合され増幅器3で増幅され、周波数帯域Aの信号は周波数帯域選択手段のうち周波数帯域A用の第1の帯域通過フィルタ4を通過して、周波数帯域A用の第1の出力整合回路5でインピーダンス整合されて周波数帯域A用の出力端子6に出力され、他方周波数帯域Bの信号は周波数帯域選択手段のうち周波数帯域B用の第2の帯域通過フィルタ7を通過して、周波数帯域B用の第2の出力整合回路8でインピーダンス整合されて周波数帯域B用の出力端子9に出力される。



## 1

## 【特許請求の範囲】

【請求項 1】 複数周波数帯域の信号を入力する入力端子と、  
前記入力端子に接続され、信号を複数周波数帯域で整合する入力整合手段と、前記入力整合手段に接続された増幅手段と、  
前記増幅手段の出力に接続され、少なくとも 2 つの出力端子を有し、周波数帯域を選択できる周波数帯域選択手段と、  
前記周波数帯域選択手段の各出力端子に接続された出力整合手段と、  
前記出力整合手段に接続された出力端子とを備えたことを特徴とする複数周波数帯域高効率線形電力増幅器。

【請求項 2】 増幅手段の出力が補助整合手段を介して前記周波数帯域選択手段に接続され、前記補助整合手段は少なくとも 2 つの前記出力整合手段と協働して動作周波数帯域におけるインピーダンス整合を行うことを特徴とする請求項 1 に記載の複数周波数帯域高効率線形電力増幅器。

【請求項 3】 補助整合手段は接地されたキャパシタンスまたは低インピーダンス線路であることを特徴とする請求項 2 に記載の複数周波数帯域高効率線形電力増幅器。

【請求項 4】 周波数帯域選択手段が、異なる通過周波数帯域を有する帯域通過フィルタであることを特徴とする請求項 1 から 3 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 5】 周波数帯域選択手段が、異なる通過周波数帯域を有する、低域通過フィルタと帯域通過フィルタとの組み合わせであることを特徴とする請求項 1 から 3 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 6】 周波数帯域選択手段が、異なる通過周波数帯域を有する、低域通過フィルタと高域通過フィルタとの組み合わせであることを特徴とする請求項 1 から 3 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 7】 周波数帯域選択手段が、異なる通過周波数帯域を有する、低域通過フィルタと帯域阻止フィルタとの組み合わせであることを特徴とする請求項 1 から 3 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 8】 周波数帯域選択手段が、異なる通過周波数帯域を有する、帯域通過フィルタと高域通過フィルタとの組み合わせであることを特徴とする請求項 1 から 3 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 9】 周波数帯域選択手段が、異なる通過周波数帯域を有する、帯域通過フィルタと帯域阻止フィルタとの組み合わせであることを特徴とする請求項 1 から 3

## 2

のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 10】 周波数帯域選択手段が、異なる通過周波数帯域を有する、帯域阻止フィルタと高域通過フィルタとの組み合わせであることを特徴とする請求項 1 から 3 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 11】 周波数帯域選択手段が、異なる通過周波数帯域を有する、帯域阻止フィルタであることを特徴とする請求項 1 から 3 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 12】 周波数帯域選択手段が、異なる通過周波数帯域を有する、低域通過フィルタ、帯域通過フィルタおよび高域通過フィルタとの組み合わせであることを特徴とする請求項 1 から 3 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 13】 周波数帯域選択手段が、異なる通過周波数帯域を有する、低域通過フィルタ、帯域通過フィルタおよび帯域阻止フィルタとの組み合わせであることを特徴とする請求項 1 から 3 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 14】 周波数帯域選択手段が、異なる通過周波数帯域を有する、帯域阻止フィルタ、帯域通過フィルタおよび高域通過フィルタとの組み合わせであることを特徴とする請求項 1 から 3 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 15】 全構成要素が同一半導体チップ上に構成されていることを特徴とする請求項 1 から 14 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 16】 少なくとも入力整合手段および増幅手段が同一半導体チップ上に構成されていることを特徴とする請求項 1 または 4 から 14 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 17】 少なくとも入力整合手段、増幅手段および補助整合手段が同一半導体チップ上に構成されていることを特徴とする請求項 2 から 14 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 18】 少なくとも入力整合手段、増幅手段および複数個の周波数帯域選択手段が同一半導体チップ上に構成されていることを特徴とする請求項 1 または 4 から 14 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 19】 少なくとも入力整合手段、増幅手段、補助整合手段および複数個の周波数帯域選択手段が同一半導体チップ上に構成されていることを特徴とする請求項 2 から 14 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 20】 少なくとも増幅手段および複数個の周波数帯域選択手段が同一半導体チップ上に構成されていることを特徴とする請求項 1 または 4 から 14 のいずれ

## 3

かに記載の複数周波数帯域高効率線形電力増幅器。

【請求項 2 1】 少なくとも増幅手段、補助整合手段および複数個の周波数帯域選択手段が同一半導体チップ上に構成されていることを特徴とする請求項 2 から 1 4 のいずれかに記載の複数周波数帯域高効率線形電力増幅器。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は 2 以上の複数の周波数帯を切り換えて用いることのできる複数周波数帯域高効率線形電力増幅器に関する。

【0 0 0 2】

【従来の技術】 複数周波数帯域高効率線形電力増幅器としては、図 5、図 6 のブロック図に示した構成のものが考えられる。図 5 において、周波数帯域 A の入力端子 5 1 にはたとえば 9 5 0 MHz 帯 (9 4 0 ~ 9 5 6 MHz) の信号が入力され、整合回路 5 2 でインピーダンス整合を行い、増幅器 5 3 で増幅した後、整合回路 5 4 でインピーダンス整合を行い、出力端子 5 5 から周波数帯域 A の 9 4 0 ~ 9 5 6 MHz の信号出力を取り出す。

【0 0 0 3】 同様に周波数帯域 B の入力端子 5 6 にはたとえば 1, 9 0 0 MHz 帯 (1 8 9 5 . 1 5 ~ 1 9 1 7 . 9 5 MHz) の信号が入力され、整合回路 5 7 でインピーダンス整合を行い、増幅器 5 8 で増幅した後、整合回路 5 9 でインピーダンス整合を行い出力端子 6 0 から周波数帯域 B の 1 8 9 5 . 1 5 ~ 1 9 1 7 . 9 5 MHz の信号出力を取り出す。

【0 0 0 4】 図 6 は別の回路構成であって、入力端子 6 1 には帯域 A すなわち 9 4 0 ~ 9 5 6 MHz の信号または帯域 B すなわち 1 8 9 5 . 1 5 ~ 1 9 1 7 . 9 5 MHz の信号を入力し、広帯域整合回路 6 2 はこの両周波数帯域の周波数に対してインピーダンス整合ができるように調整し、広帯域の増幅器 6 3 でこの両周波数帯域を増幅し、スイッチ回路 6 4 の共通端子 6 4 a に接続され、周波数帯域 A の信号は切り換えられて 6 4 b から出力して、出力整合回路 6 5 で周波数帯域 A においてインピーダンス整合されて出力端子 6 6 より出力し、同様に周波数帯域 B の信号はスイッチ回路 6 4 の他方の切り換え端子 6 4 c から出力して、出力整合回路 6 7 において周波数帯域 B でインピーダンス整合されて出力端子 6 8 より出力する。

【0 0 0 5】

【発明が解決しようとする課題】 しかしながら、図 5 に示した構成の複数周波数帯域高効率線形電力増幅器においては、周波数帯域 A と周波数帯域 B の両方に同じような構成の回路を必要とし、部品点数も多くなり、かつ占有スペースも大きなものとなっていた。

【0 0 0 6】 また、図 6 に示した構成の複数周波数帯域高効率線形電力増幅器においては、電子回路を用いているスイッチ回路 6 4 は、制御信号を必要とするなど回路

## 4

構成が複雑となる上、通過電力が大きくなると使用素子の容量も大きなものが必要で、また電力レベルの高い部分に用いるため損失も大きく電力増幅器の効率が低下するという問題点があった。

【0 0 0 7】 本発明は、部品素子数を低減するとともに、回路構成を簡素にして、回路スペースを小さくできる複数周波数帯域高効率線形電力増幅器を提供することを目的とする。

【0 0 0 8】

10 【課題を解決するための手段】 この課題を解決するために本発明の請求項 1 の複数周波数帯域高効率線形電力増幅器は、複数周波数帯域の信号を入力する入力端子に接続され複数周波数帯域で整合する入力整合手段と、入力整合手段の出力に接続され入力信号を増幅する増幅手段と、増幅手段の出力に接続した少なくとも 2 つの出力端子を有する周波数帯域選択手段と、周波数帯域選択手段の出力に応じた少なくとも 2 つの出力整合手段と、出力整合手段の他端に応じた少なくとも 2 つの出力端子を備えた構成である。

20 【0 0 0 9】 この構成において、増幅手段まではすべての使用周波数帯域において共通であり、回路素子数を低減して回路構成を簡単にでき、また制御信号を必要とする複数周波数帯域切り換え手段を不要とし、出力整合手段を各周波数ごとに設けたので、回路性能を最大に保ちながら回路素子数を低減し回路構成を簡単にすることができる。

30 【0 0 1 0】 本発明の請求項 2 に記載の発明は、請求項 1 の発明の構成において、増幅手段の出力を補助整合手段を介して周波数帯域選択手段に接続し、補助整合手段は少なくとも 2 つの出力整合手段と協働して動作周波数帯域におけるインピーダンス整合を行うように構成したものであり、また、請求項 3 に記載の発明は、請求項 2 に記載の発明において、補助整合手段は接地されたキャパシタンスまたは低インピーダンス線路であるように構成したものである。

40 【0 0 1 1】 この構成において請求項 1 の作用効果に加えて増幅手段の直後に設けた補助整合手段が少なくとも 2 つの周波数帯域選択手段を通過した後に設けた少なくとも 2 つの出力整合手段の回路素子と協働することによって、具体的には共通に用いる補助整合回路のキャパシタンスとそれぞれの出力整合手段のインダクタンスとの組み合わせによりコンデンサを共通化したことによって、さらに回路素子数を低減するとともに、補助整合回路によってトランジスタの出力インピーダンスを高めることができ、トランジスタの出力インピーダンスが低いために起きる損失を改善できるように作用することとなる。

50 【0 0 1 2】 本発明の請求項 4 から 1 4 に記載の発明は、請求項 1 から 3 に記載の発明において周波数帯域選択手段は異なる通過周波数帯域を有するフィルタの組み

## 5

合わせて構成したものである。これらの構成においては、請求項 1 から 3 の作用に加えて周波数帯域選択手段の構成を異なる通過周波数帯域を有するフィルタで構成したので、周波数帯域選択手段の損失を改善できるように作用することが期待でき、入力信号の条件が異なる場合等に対応する汎用性を高められるという利点が生ずる。

【0013】請求項 15 から 21 の構成は、請求項 1 から 14 の構成を同一半導体チップ上に形成する構成を示したもので、請求項 15 の構成は請求項 1 から 14 の構成をすべて同一半導体チップ上に構成したものである。これらの構成においては、各部品間の間隔を縮め不要なインダクタンスやキャパシタンスの発生を防ぎ回路動作を安定化させ、かつ構成部品数を減少することができ、特に同一条件の製品を大量に生産する場合に好適である。

## 【0014】

【発明の実施の形態】以下に本発明の実施の形態を図面を参照しながら説明する。

(実施の形態 1) 本発明の実施の形態 1 について、図 1 をおよび図 2 用いて説明する。本発明の実施の形態 1 の 2 周波数帯域高効率線形電力増幅器のブロック図である図 1 において、第 1 の周波数帯域である周波数帯域 A および第 2 の周波数帯域である周波数帯域 B に共通の入力端子 1 は複数周波数で整合する入力整合手段である広帯域整合回路 2 の入力に接続され、広帯域整合回路 2 の出力は周波数帯域 A および B を共通に増幅する増幅手段である増幅器 3 の入力に接続される。増幅器 3 の出力端子は周波数帯域選択手段に接続されており、周波数帯域選択手段の 2 つの出力端子の一方は、周波数帯域 A 用の第 1 の帯域通過フィルタ 4 を介して第 1 の出力整合回路 5 に接続され、第 1 の出力整合回路 5 の他端は周波数帯域 A 用の出力端子 6 に接続されている。周波数帯域選択手段の他方の出力端子は、周波数帯域 B 用の第 2 の帯域通過フィルタ 7 を介して第 2 の出力整合回路 8 に接続され、第 2 の出力整合回路 8 の他端は周波数帯域 B 用の出力端子 9 に接続されている。

【0015】このように構成され、つぎにその動作を説明すると、帯域 A としてたとえば従来例と同様に 940 ~ 956 MHz の信号を、また帯域 B として同様に 1895.15 ~ 1917.95 MHz の信号を扱うものとする。

【0016】まず周波数帯域 A を増幅するとき、入力端子 1 から 940 ~ 956 MHz の信号を入力すると、この場合 940 ~ 1917.95 MHz の周波数範囲に対してインピーダンス整合可能な広帯域整合回路 2 によってインピーダンス整合され増幅器 3 によって増幅され、その出力は周波数帯域選択手段のうち周波数帯域 B 用の第 2 の帯域通過フィルタ 7 で阻止される。その結果、周波数帯域 A 用の第 1 の帯域通過フィルタ 4 のみを通過し

## 6

て、周波数帯域 A すなわち 940 ~ 956 MHz 用の第 1 の出力整合回路 5 でインピーダンス整合されて周波数帯域 A 用の出力端子 6 に出力される。

【0017】周波数帯域 B を増幅するとき、入力端子 1 から 1895.15 ~ 1917.95 MHz の信号を入力すると、この場合 940 ~ 1917.95 MHz の信号の周波数範囲に対してインピーダンス整合可能な広帯域整合回路 2 によってインピーダンス整合され増幅器 3 によって増幅され、その出力は周波数帯域選択手段のうち周波数帯域 A 用の第 1 の帯域通過フィルタ 4 で阻止されるため、周波数帯域 B 用の第 2 の帯域通過フィルタ 7 のみを通過して、周波数帯域 B すなわち 1895.15 ~ 1917.95 MHz 用の第 2 の出力整合回路 8 でインピーダンス整合されて周波数帯域 B 用の出力端子 9 に出力される。入力端子 1 に加わる入力信号は周波数帯域 A と B とによってそれぞれ別に発生してもよく、また上記実施の形態と同様に複数帯域共用にしてもよい。

【0018】図 2 に図 1 のブロック図の具体的な回路図を示す。図において周波数帯域 A および B に共通の入力端子 1 は結合コンデンサ C1 とコンデンサ C2 の直列回路に接続され、C2 は接地され C1 と C2 の接続点からコイル L1 がトランジスタ TR1 のゲートに接続されている。以下トランジスタにはすべて高周波用の FET を用いるものとする。

【0019】トランジスタ TR1 は、そのソースが接地され、ゲートには電圧  $V_g1$  からコンデンサ C3 でバイパスされコイル L2 を介してバイアス電圧が印加され、ドレインには電圧  $V_d1$  からコンデンサ C5 でバイパスされ負荷のコイル L3 を介して電圧が印加されて、増幅器 3 を構成している。またドレイン-ゲート間にはコンデンサ C4、抵抗器 R1 によるネガティブフィードバックを行い、入力側のコンデンサ C2 とコイル L1 による整合回路のインピーダンス整合の広帯域化と安定化を図り、両者合わせて広帯域整合回路 2 を形成している。

【0020】コイル L4 から L5 およびコンデンサ C7 から C8 で周波数帯域 A を通過させる第 1 の帯域通過フィルタ 4 を構成しており、コイル L8 から L9 およびコンデンサ C11 から C12 で周波数帯域 B を通過させる第 2 の帯域通過フィルタ 7 を構成している。

【0021】第 1 の帯域通過フィルタ 4 は周波数帯域 A 専用の第 1 の出力整合回路 5 を構成するコンデンサ C9 の一端に接続され、コンデンサ C9 の他端は接地されるとともにコイル L7 を介して周波数帯域 A 用の出力端子 6 に接続されている。

【0022】第 2 の帯域通過フィルタ 7 は周波数帯域 B 専用の第 2 の出力整合回路 8 を構成するコンデンサ C13 の一端に接続され、コンデンサ C13 の他端は接地されるとともにコイル L11 を介して周波数帯域 B 用の出力端子 9 に接続されている。

【0023】以上のように構成される本発明の動作を次

に説明する。まず、帯域Aを増幅するとき、入力端子1から940～956MHzの信号を入力して、ゲート側のコンデンサC2、コイルL1による整合回路とトランジスタTR1のドレインからゲートに接続した抵抗器R1とコンデンサC4によるネガティブフィードバックとにより形成された広帯域整合回路2によって940～1917.95MHzの広範囲の周波数範囲に対してインピーダンス整合がなされる。

【0024】そしてトランジスタTR1により構成された増幅器3で増幅され、その出力に対してコイルL4、コンデンサC7およびコイルL5とコンデンサC8の並列回路との直列回路である第1の帯域通過フィルタ4は、コイルL4とコンデンサC7の直列回路が短絡されて、接地されたコイルL5とコンデンサC8の並列回路が開放されるので、周波数帯域Aの信号は第1の帯域通過フィルタ4を通過する。他方コイルL8、コンデンサC11およびコイルL9とコンデンサC12の並列回路との直列回路である第2の帯域通過フィルタ7は、コイルL8とコンデンサC11の直列回路が開放されて、接地されたコイルL9とコンデンサC12の並列回路が短絡されるので第2の出力整合回路8への漏洩を接地するため、第2の帯域通過フィルタ7は周波数帯域Aの信号を阻止する。

【0025】その結果、出力は、コンデンサC9からC10およびコイルL6からL7とで構成された周波数帯域Aすなわち940～956MHz用の第1の出力整合回路5でインピーダンス整合されて周波数帯域A用の出力端子6に出力される。

【0026】他方、帯域Bを増幅するとき、1895.15～1917.95MHzの信号を入力端子1から入力すると、コンデンサC2、コイルL1による整合回路とトランジスタTR1のドレインからゲートに接続した抵抗器R1とコンデンサC4によるネガティブフィードバックとにより形成された広帯域整合回路2によって940～1917.95MHzの周波数範囲に対してインピーダンス整合がなされ、トランジスタTR1により構成された増幅器3で増幅され、その出力に対してコイルL8、コンデンサC11およびコイルL9とコンデンサC12の並列回路との直列回路である第2の帯域通過フィルタ7は、コイルL8とコンデンサC11の直列回路は短絡され、接地されたコイルL9とコンデンサC12の並列回路は開放されるので、周波数帯域Bの信号は第2の帯域通過フィルタ7を通過する。コイルL4、コンデンサC7およびコイルL5とコンデンサC8の並列回路との直列回路である第1の帯域通過フィルタ4は、コイルL4とコンデンサC7の直列回路は開放され、接地されたコイルL5とコンデンサC8の並列回路は短絡されるので第1の出力整合回路5への漏洩を接地するため、第1の帯域通過フィルタ4は周波数帯域Aの信号を阻止する。その出力は、コンデンサC13からC14お

よびコイルL10からL11とで構成された周波数帯域Aすなわち1895.15～1917.95MHz用の第2の出力整合回路8でインピーダンス整合されて周波数帯域B用の出力端子9に出力される。

【0027】各整合回路の整合は、増幅器3の出力インピーダンスと負荷インピーダンスとを整合させる第1の出力整合回路5と第2の出力整合回路8がそれぞれの周波数帯域専用であるため、拘束条件が緩和されて設計が容易になり、増幅器3に対しては利得を大きくすることに重点をおいて単一の周波数で利得最大となる負荷を実現するように第1の出力整合回路5と第2の出力整合回路8を構成することができる。このとき、第1の帯域通過フィルタ4は周波数帯域Bを通過させない周波数帯域B阻止フィルタの機能を有することが重要であり、同様に第2の帯域通過フィルタ7は周波数帯域Aを通過させない周波数帯域A阻止フィルタの機能を有するものである。これにより周波数帯域Aは周波数帯域B用の出力端子9からは出力されず、周波数帯域Bは周波数帯域A用の出力端子6からは出力されないため、制御信号を必要とするスイッチ回路を不要とする構造が実現できる。

【0028】上記の実施形態では2つの周波数帯域の場合を例示したが、帯域通過フィルタとそれに応じた出力整合回路を追加することによって3またはそれ以上のn個の複数周波数帯域に用いることができるのは当然であり、そうすればさらに素子数の低減の効果を高められるものである。

（実施の形態2）つぎに本発明の実施の形態2について、図3および図4を用いて説明する。本発明の実施の形態2の複数周波数帯域高効率線形電力増幅器のブロック図である図3において、実施の形態1の図1との差異は広帯域整合回路2aの構成を変えたことと、増幅器3aの直後に補助整合回路10を設けたことであり、それに対応して各周波数帯域ごとの整合回路5a、8aの構成も変更している。これによって周波数帯域A、周波数帯域Bそれぞれの出力整合回路5a、8aの整合素子の一部を補助整合回路10で共通化して整合素子数の低減を図っている。この内容の具体的な説明を以下図4の回路図をもとに説明する。

【0029】図4において実施形態1の図2と同一機能の部分には同一符号を付けて説明を省略する。入力端子1に接続された結合コンデンサC1の他端にコイルL1aとコンデンサC2aが接続され、コンデンサC2aの他端は接地されコイルL1aの他端にはコイルL1bとコンデンサC2bが接続され、コンデンサC2bの他端は接地されコイルL1bの他端はトランジスタTR1のゲートに接続されている。実施の形態1と異なり、コイルL1a、L1b、コンデンサC2a、C2bによって広帯域整合回路2aを形成している。実施の形態1の図2においてはトランジスタTR1にフィードバックを施して広帯域化と安定化を行ったが、フィードバックを用

いない方が利得は高いが設計が困難となるので利害得失を考えて選択すればよい。

【0030】トランジスタTR1のドレインと接地との間には補助整合手段10のキャパシタンスとしてのコンデンサC15が接続されている。第1の帯域通過フィルタ4の出力端子には単一周波数帯域でインピーダンス整合を行う出力整合手段のインダクタンスとしてのコイルL6aが接続され、コイルL6aの他端にコイルL7aとコンデンサC10aが接続され、コンデンサC10aの他端は接地されコイルL7aの他端は周波数帯域A用の出力端子6に接続されている。

【0031】一方、第2の帯域通過フィルタ7の出力端子には単一周波数帯域でインピーダンス整合を行う出力整合手段のインダクタンスとしてのコイルL10aが接続され、コイルL10aの他端にコイルL11aとコンデンサC14aが接続され、コンデンサC14aの他端は接地されコイルL7aの他端は周波数帯域A用の出力端子9に接続されている。コンデンサC15、10aとコイルL6a、7aとで周波数帯域A用の出力整合回路5aを構成し、コンデンサC15、14aとコイルL10a、11aとで周波数帯域B用の出力整合回路8aを構成している。コンデンサ15は二つの整合回路に共通となっているのでこれを補助整合回路10としている。コンデンサC15は両整合回路に共通なため、合わせてコンデンサを1個低減できることと、この位置にコンデンサC15を配置することによってトランジスタTR1の出力インピーダンスが低いために起きる損失を改善することができる。

【0032】またトランジスタTR1のゲートへのバイアス電圧は図4のコイルL2に代えて抵抗器を通じて増加しても、高インピーダンスが得られれば差し支えない。さらに例示の各種のコイルは周波数が高くなった場合はマイクロストリップライン等のインダクタンス素子を用いても良いのはいうまでもない。

【0033】このように本実施の形態においては、実施の形態1の作用効果に加えて増幅器3aの直後に補助整合回路10を設け、この補助整合回路10が複数周波数帯域選択手段を通過した後に設けた周波数帯域A、B用の出力整合回路5a、8aの回路素子、具体的にはコンデンサを共通化したことによって、回路素子数を低減することができるとともに、増幅器3aの出力に設けたコンデンサC15によってトランジスタTR1の出力インピーダンスを上昇させるのでトランジスタTR1の出力インピーダンスが低いために起きる損失を改善できるものである。この場合コンデンサC15の代わりに幅の広い低インピーダンス線路を用いればこの低インピーダンス線路はインダクタンスとしてではなくキャパシタンスとして働くのでコンデンサ同様の効果を得ることができる。

【0034】また本実施の形態でも2つの周波数帯域の

場合を例示したが、帯域通過フィルタとそれに応じた出力整合回路を追加することによって3またはそれ以上のn個の複数周波数帯域に用いることができるのは当然であり、さらに素子数の低減の効果を高められるものである。

【0035】なお実施の形態1、2とも入力端子1の直後に設けた広帯域整合回路は利得の損失を無視すれば省略してもよい。

(実施の形態3) つぎに上記第1および第2の実施形態の回路を集積回路化する場合について説明する。図1における全ブロックすなわち破線11に囲まれた部分または図3における全ブロックすなわち破線15に囲まれた部分を同一半導体チップ上で実現する。このように構成することによって各部品間の間隔を縮め不要なインダクタンスやキャパシタンスの発生を防ぎ回路動作を安定化させ、かつ構成部品数を減少することができ、特に同一条件の製品を大量に生産する場合に好適である。

【0036】あるいは、出力端子6、9の外部条件が異なる場合等に対応するためには終段整合回路5、8を外付け部品として図1の破線12に囲まれた範囲、すなわち広帯域整合回路2、増幅器3、第1の帯域通過フィルタ4、第2の帯域通過フィルタ7を含む部分、または図3の破線16に囲まれた範囲、すなわち広帯域整合回路2a、増幅器3a、補助整合回路10、第1の帯域通過フィルタ4、第2の帯域通過フィルタ7を含む部分を同一半導体チップ上で実現するほうが、生産数量等を勘案すれば汎用性があり多くの機種に適用する範囲が広がることも考えられる。

【0037】あるいは同様に、図1の破線13に囲まれた範囲、すなわち広帯域整合回路2、増幅器3を含む部分、または図3の破線17で囲まれた範囲すなわち広帯域整合回路2a、増幅器3a、補助整合回路10を含む部分を同一半導体チップ上で実現することによりさらに汎用性が増し多くの機種に適用する範囲が広がることも考えられる。

【0038】さらに図1の破線14に囲まれた範囲、すなわち増幅器3、第1の帯域通過フィルタ4、第2の帯域通過フィルタ7を含む部分、または図3の破線18で囲まれた範囲すなわち増幅器3a、補助整合回路10、第1の帯域通過フィルタ4、第2の帯域通過フィルタ7を含む部分のみを同一半導体チップ上で実現することも考えられる。この場合周波数範囲や出力が異なる場合にも適用でき、また終段増幅器のパワーが大きく発熱による他部品への影響があるような場合にも好適である。

【0039】なお、ここでは入力端子1と出力端子6、9との間の各破線で囲まれた部分を同一半導体チップ上に構成する場合を説明したが、少なくとも上記の範囲を含み、上記の入力端子1より前段の回路もしくは出力端子6、9以後の回路を同一半導体チップ上に構成することは差し支えない。

【0040】また、本発明における周波数帯域選択手段は、上述の異なる通過周波数帯域を有する帯域通過フィルタである必要はなく、次に示すような例も可能である。

【0041】すなわち、周波数帯域選択手段が、異なる通過周波数帯域を有する、低域通過フィルタと帯域通過フィルタとの組み合わせ、異なる通過周波数帯域を有する、低域通過フィルタと高域通過フィルタとの組み合わせ、異なる通過周波数帯域を有する、低域通過フィルタと帯域阻止フィルタとの組み合わせ、異なる通過周波数帯域を有する、帯域通過フィルタと高域通過フィルタとの組み合わせ、異なる通過周波数帯域を有する、帯域通過フィルタと帯域阻止フィルタとの組み合わせ、異なる通過周波数帯域を有する、帯域阻止フィルタと高域通過フィルタとの組み合わせ、異なる通過周波数帯域を有する、帯域阻止フィルタ、異なる通過周波数帯域を有する、低域通過フィルタ、帯域通過フィルタおよび高域通過フィルタとの組み合わせ、異なる通過周波数帯域を有する、低域通過フィルタ、帯域通過フィルタおよび帯域阻止フィルタとの組み合わせ、あるいは、異なる通過周波数帯域を有する、帯域阻止フィルタ、帯域通過フィルタおよび高域通過フィルタとの組み合わせ等であってもよい。

【0042】なお例示した個数や周波数等の数値は一例であり、この値に限定されるものではない。また以上各実施の形態における回路構成の細部は任意に変更または同様な機能の他の回路で置き換えることができ、特許請求の範囲内での細部の変更は可能であり、例示の回路構成に限定されるものではない。

【0043】

【発明の効果】以上説明したように本発明の複数周波数帯域高効率線形電力増幅器の請求項1の構成によれば、増幅手段まではすべての使用周波数帯域において共通であり、また制御信号を必要とする複数周波数帯域切り換え手段を不要とするので、回路素子数を低減して回路構成を簡単にできる。さらに負荷インピーダンスの不整合があると損失が大きくなり線形性が悪化して不要輻射の増大につながる高いレベルでの出力整合手段は各周波数帯域ごとに設けたので、回路性能を最大に保ちながら回路素子数を低減し回路構成を簡単にすることができる。

【0044】また請求項2および3の構成によれば、請求項1の構成がもたらす効果に加えて増幅手段の直後に

設けた補助整合手段が複数個の周波数帯域選択手段を通過した後に設けた出力整合手段と協働することによって、具体的には共通に用いる補助整合回路のキャパシタンスまたは低インピーダンス線路と出力整合手段のインダクタンスとの組み合わせによりキャパシタンスを共通化したことによって、さらに回路素子数を低減するとともに、補助整合回路のキャパシタンスによってトランジスタの出力インピーダンスを高めることができトランジスタの出力インピーダンスが低いために起きる損失を改善できる。さらに請求項4から14の構成によれば、請求項1から3の作用に加えて周波数帯域選択手段の構成を異なる通過周波数帯域を有するフィルタで構成したので、周波数帯域選択手段の損失を改善できるように作用することが期待でき、入力信号の条件が異なる場合等に対応する汎用性を高められるという利点が生ずる。

【0045】請求項15から21の構成により本発明の構成要素を全部または部分的に同一半導体チップ上に一体化すれば、各部品間の間隔を縮め不要なインダクタンスやキャパシタンスの発生を防ぎ回路動作を安定化させ、かつ構成部品数を減少することができ、また負荷インピーダンスや周波数範囲その他の変化に対応して半導体チップ上の構成要素の範囲を変えて対応することができる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の複数周波数帯域高効率線形電力増幅器のブロック図

【図2】同実施の形態1の具体的な回路図

【図3】本発明の実施の形態2の複数周波数帯域高効率線形電力増幅器のブロック図

30 【図4】同実施の形態2の具体的な回路図

【図5】従来の複数周波数帯域高効率線形電力増幅器のブロック図

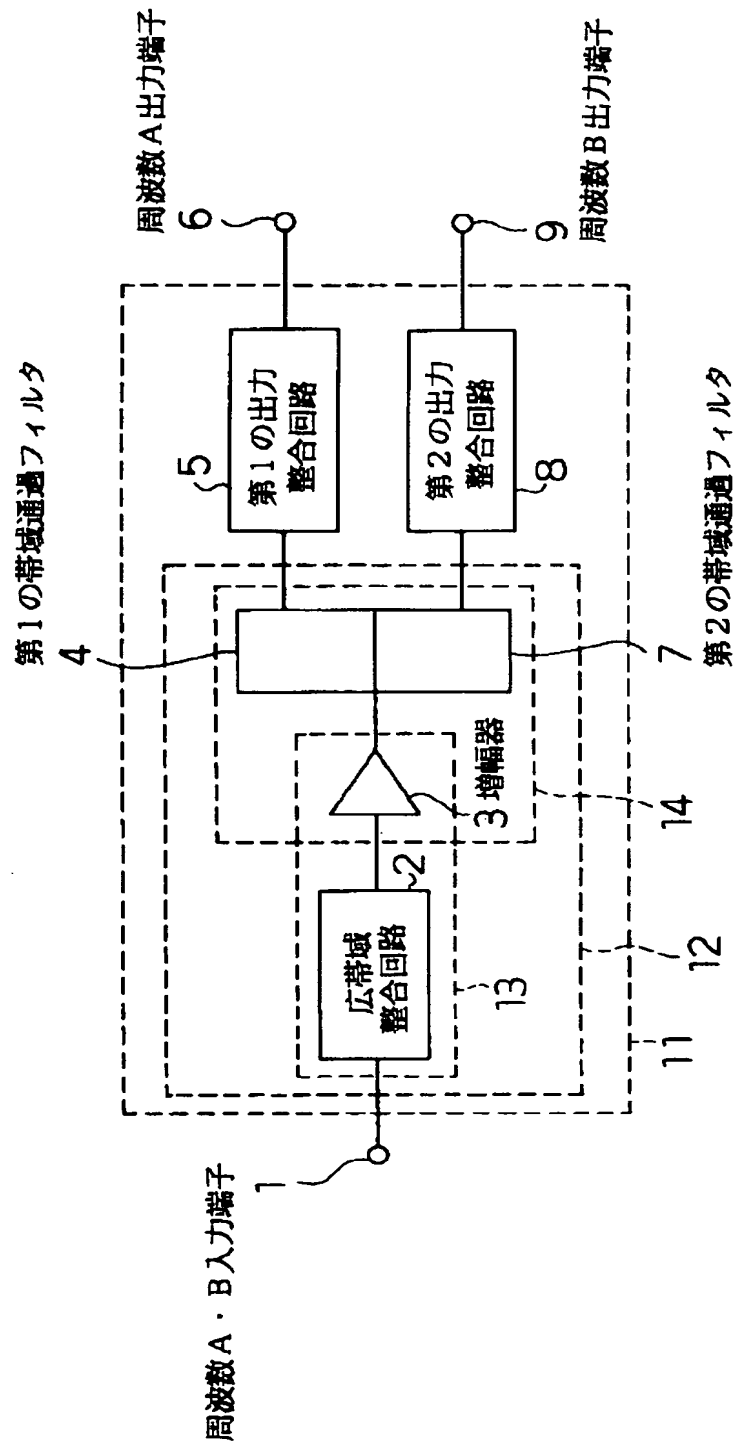
【図6】他の従来の複数周波数帯域高効率線形電力増幅器のブロック図

【符号の説明】

- 1 入力端子
- 2 広帯域整合回路（入力整合手段）
- 3 増幅器（増幅手段）
- 4, 7 周波数帯域選択回路（周波数帯域選択手段）
- 5, 8 出力整合回路（出力整合手段）
- 6, 9 出力端子
- 10 補助整合回路（補助整合手段）



【図 1】



The diagram illustrates a multi-stage electronic circuit, possibly a radio receiver, divided into eight numbered sections (1-8) by dashed lines. The circuit includes various passive components and active devices:

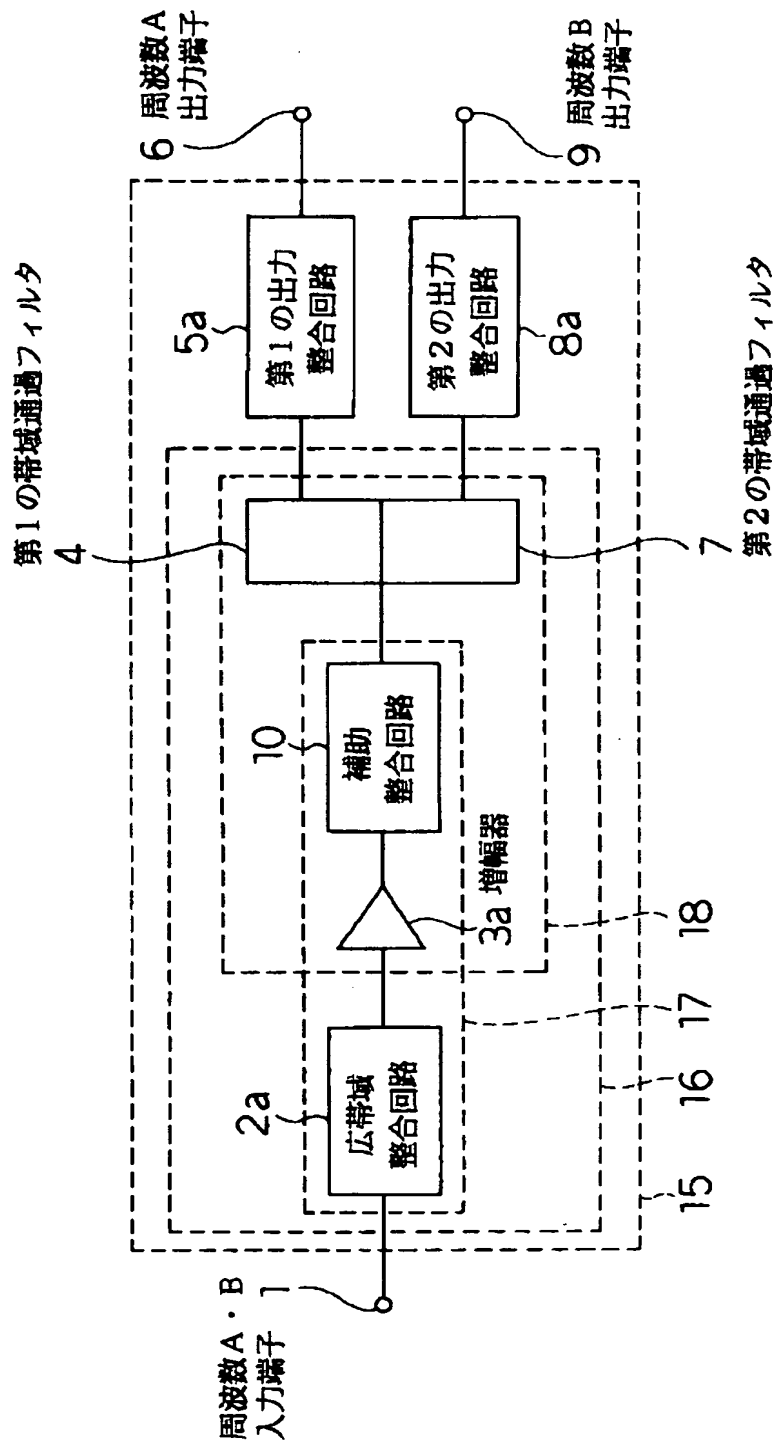
- Section 1:** Contains input terminals and a series capacitor  $C_1$  followed by an inductor  $L_1$  connected to ground.
- Section 2:** Features a variable capacitor  $C_2$  connected to ground, a resistor  $R_1$  in series with the signal path, and a variable capacitor  $C_3$  connected to ground.
- Section 3:** Includes a transistor labeled  $TRI$  with its base connected to the signal path and its emitter to ground. A capacitor  $C_4$  is connected between the base and the signal path, and another capacitor  $C_5$  is connected between the base and ground.
- Section 4:** Contains a transformer with primary inductor  $L_3$  and secondary inductor  $L_4$ . A capacitor  $C_6$  is connected between the primary and secondary windings. A variable capacitor  $C_7$  is connected between the secondary and ground.
- Section 5:** Features a variable capacitor  $C_8$  connected to ground, a capacitor  $C_9$  connected to ground, and an inductor  $L_6$  connected to ground.
- Section 6:** Contains an inductor  $L_7$  connected to ground, a capacitor  $C_{10}$  connected to ground, and an output terminal.
- Section 7:** Includes a transformer with primary inductor  $L_8$  and secondary inductor  $L_9$ . A capacitor  $C_{11}$  is connected between the primary and secondary windings. A variable capacitor  $C_{12}$  is connected between the secondary and ground.
- Section 8:** Contains a capacitor  $C_{13}$  connected to ground, a capacitor  $C_{14}$  connected to ground, an inductor  $L_{10}$  connected to ground, and an inductor  $L_{11}$  connected to ground.

Key nodes and labels include  $Vd_1$  (top supply),  $Vg_1$  (bottom supply), and various ground connections indicated by hatched lines.

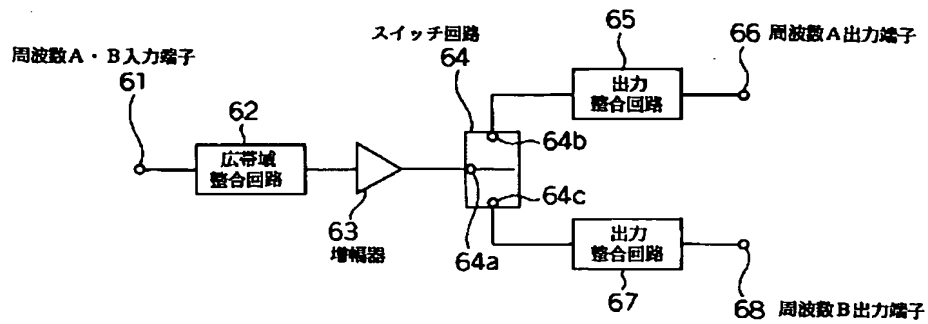
The diagram shows a power supply circuit with several functional blocks enclosed in dashed boxes:

- Block 2a:** Contains a capacitor  $C_1$  connected to input 1, followed by a series combination of inductors  $L_{1a}$  and  $L_{1b}$ , and a shunt capacitor  $C_{2a}$  connected to ground.
- Block 3a:** Contains a shunt capacitor  $C_{2b}$  connected to ground, followed by an inductor  $L_2$  connected to ground.
- Block 10:** Contains a transformer labeled **TRI** with its primary winding connected to the output of block 3a.
- Block 4:** A complex filter stage containing inductors  $L_3$ ,  $L_4$ ,  $L_5$ , and  $L_6a$ , and capacitors  $C_3$ ,  $C_5$ ,  $C_6$ ,  $C_7$ ,  $C_8$ , and  $C_9$ . It is connected to the secondary of the transformer and to a DC source  $Vd_1$ .
- Block 5a:** Contains a shunt capacitor  $C_{10a}$  connected to ground, followed by a series inductor  $L_7a$  connected to output 6.
- Block 7:** Contains a parallel LC filter with inductor  $L_8$  and capacitor  $C_{11}$  connected to ground.
- Block 8a:** Contains a parallel LC filter with inductor  $L_9$  and capacitor  $C_{12}$  connected to ground.
- Block 9:** Contains a parallel LC filter with inductor  $L_{10a}$  and capacitor  $C_{14a}$  connected to ground, followed by a series inductor  $L_{11a}$  connected to output 9.

【図 3】



【図 6】




---

フロントページの続き

(72) 発明者 近藤 幹治  
 神奈川県横浜市港北区綱島東四丁目 3 番 1  
 号 松下通信工業株式会社内

(72) 発明者 森永 洋一  
 神奈川県横浜市港北区綱島東四丁目 3 番 1  
 号 松下通信工業株式会社内